

SEMICONDUCTOR STACK

Patent Number: JP7170723
Publication date: 1995-07-04
Inventor(s): KANEKO KOICHI
Applicant(s):: TOSHIBA CORP
Requested Patent: ☐ JP7170723
Application Number: JP19930312939 19931214
Priority Number(s):
IPC Classification: H02M1/00 ; H02M7/04 ; H02M7/5387
EC Classification:
Equivalents:

Abstract

PURPOSE:To prevent the influence of the rise and fall of a gate signal by the magnetic flux generated by a current in the main circuit.
CONSTITUTION:The top and bottom of the insulating plate 7 between a DC conductor 4 on positive side and switching elements 1 and 2 are bent and elongated. A gate resistor 16 is mounted on this extension. Moreover, an emitter pattern and a gate pattern are formed on the rear of the extension of the insulating plate 7, and the gate resistor 16 is connected.



Data supplied from the esp@cenet database - I2

TOP

w304

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-170723

(43) 公開日 平成7年(1995)7月4日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 2 M	1/00	F		
	7/04	D	9180-5H	
	7/5387		9181-5H	

審査請求 未請求 請求項の数 2 O L (全 6 頁)

(21) 出願番号 特願平5-312939

(22) 出願日 平成5年(1993)12月14日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 金子 宏一

東京都府中市東芝町1番地 株式会社東芝
府中工場内

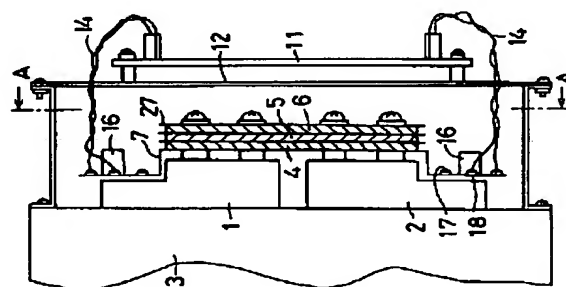
(74) 代理人 弁理士 則近 憲佑

(54) 【発明の名称】 半導体スタック

(57) 【要約】

【目的】 主回路電流で発生する磁束によるゲート信号の立上りと立下げの影響を防ぐ。

【構成】 正極側直流導体4とスイッチング素子1、2の間の絶縁板7の上下端を折り曲げて延ばす。この延長部分に、ゲート抵抗器16を搭載する。また、絶縁板7の延長部分の裏面には、エミッタパターンとゲートパターンを形成し、ゲート抵抗器16を接続する。



【特許請求の範囲】

【請求項1】 絶縁板を介して重ねられた正極側導体及び負極側導体と交流側導体の片側に、前記正極側導体及び負極側導体と交流側導体が接続される複数のスイッチング素子が配設され、前記正極側導体及び負極側導体と交流側導体の他側に前記スイッチング素子をゲート抵抗を介して駆動する駆動基板が設けられた半導体スタックにおいて、前記絶縁板の両端を前記スイッチング素子側に折曲し、この折曲部に前記ゲート抵抗を実装したことを特徴とする半導体スタック。

【請求項2】 絶縁板を介して重ねられた正極側導体及び負極側導体と交流側導体の片側に、前記正極側導体及び負極側導体と交流側導体が接続される複数のスイッチング素子が配設され、前記正極側導体及び負極側導体と交流側導体の他側に前記スイッチング素子をゲート抵抗を介して駆動する駆動基板が設けられた半導体スタックにおいて、前記絶縁板の両端を前記スイッチング素子側に折曲し、この折曲部に前記ゲート抵抗を実装し、前記スイッチング素子の付属回路を形成したことを特徴とする半導体スタック。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体電力変換装置に組み込まれる半導体スタックに関する。

【0002】

【従来の技術】半導体電力変換装置においては、この電力変換器の高性能化のために、高速スイッチング素子を使った高周波PWM制御方式の採用が増え、また、半導体電力変換装置の大容量化に伴い、大容量素子を並列に接続して用いられている。さらに、高周波PWM制御方式では、高速スイッチング素子間を接続する導体のインダクタンスを減らして、スイッチング時に発生するサージ電圧を抑える必要があるため、高速スイッチング素子は互いに近接させ、平滑コンデンサを接続する導体も短くなるように考慮されている。

【0003】従来の半導体電力変換装置の一例を図5～図7により説明する。図5に示す回路例は三相又は単相ブリッジ回路に用いられる1ブリッジ分の逆変換回路であり、直流電源P、N間の上下2アームで構成されている。正極側の端子8にコレクタ側が接続されている一対のP側スイッチング素子1と、このP側スイッチング素子1にコレクタ側が接続され、エミッタ側が負極側の端子9に接続されている一対のN側スイッチング素子2で1ブリッジを構成し、スイッチング素子1、2の中間点が交流側の端子10に接続される。

【0004】また、各スイッチング素子1、2のゲート回路については、図示していない制御回路によって各スイッチング素子のドライブタイミングをゲート駆動基板11で受け、このゲート駆動基板11にて絶縁し、スイッチング素子に必要なゲート信号に増幅して、各スイッチ

ング素子1、2にゲート信号を入力する。

【0005】ここで、ゲート抵抗器16は、並列接続されているスイッチング素子1、2の近傍に設けられ、並列接続されているスイッチング素子1、2のゲートトリガ電圧のばらつきによって生じるスイッチング電流のアンバランスを改善するために挿入され、スイッチング素子を並列接続して使用する場合には必要となる。

【0006】図6及び図7は、図5で示した逆変換回路を組み立てた半導体スタックを示し、このうち図7は左側面図で、図6は図7のB-B断面図である。図6及び図7において、スイッチング素子1、2は、冷却フィン3に対して、2アームの2個並列接続分の計4個のスイッチング素子が取り付けられ、正極側導体4、負極側導体5及び上下アーム間を接続する交流側導体6の間で、導体と導体の間に絶縁板7を挟み、サンドイッチ状に一体化（以下、一括積層導体と呼ぶ）して、スイッチング素子1、2の上面に配置する。

【0007】この一括積層導体は、正極側スイッチング素子1のコレクタ端子が正極側導体4に接続され正極側のスイッチング素子1のエミッタ端子と負極側のスイッチング素子2のコレクタ端子が交流側導体6に、更に負極側のスイッチング素子2のエミッタ端子が正極側導体5にそれぞれ接続されており、半導体スタック内のインダクタンス値を減らすとともに、スイッチング時のサージ電圧の抑制が図れている。

【0008】一方、各スイッチング素子1、2のゲート回路については、各スイッチング素子1、2のゲート端子にゲート駆動基板11のコネクタ13から、ゲート配線14、中継ブッシング15、及びゲート抵抗器16を介してゲート信号を供給する。

【0009】ゲート駆動基板11は、スイッチング素子近傍の上下左右あるいは前面に配置され、図7では、スイッチング素子の前面に取付板12aを介して基板取付板12を取り付け、その上に配置する例を示している。

【0010】また、ゲート信号は、各アームのスイッチング素子が複数個並列接続であっても、ゲート抵抗器16を介するまでは、共通の信号でよいが、ゲート抵抗器16はスイッチング素子各々に各1個ずつ必要となる。したがって、ゲート配線14は、スイッチング素子以外の場所、図6及び図7では冷却フィン3に取り付け、絶縁された中継ブッシング15で中継することによって、スイッチング素子単位にゲート抵抗器16が設けられている。

【0011】

【発明が解決しようとする課題】このように、ゲート配線14をスイッチング素子1、2に接続する場合、近傍に正極側導体4、負極側導体5や交流側導体6に主回路電流を流す導体が配置されると、主回路導体は、スイッチング素子1、2により大電流を高周波・高速でスイッチングしており、主回路電流により発生する磁束の影響で、ゲート信号のオン・オフ時の立上り、立下りに影響

を受けるため、並列接続あるいは上下アーム間でスイッチング時間がばらついて、その結果並列接続のスイッチング素子間の電流バランスが悪くなり、上下アームのスイッチング素子のサージ電圧が異なってくる。

【0012】例えば、図5の部分拡大図を示す図8において、ゲート信号がオンとなり、主回路電流が正極側端子8からスイッチング素子1を介して交流端子10に流れると、主回路電流 I_c により生じる磁束は、同図の渦状の矢印に示すようになるので、ゲート配線14と、鎖交する磁束の変化によって、ゲート電流は抑制され、スイッチング時間は、主回路電流によって遅くなる。

【0013】主回路の影響を減らすためには、ゲート配線のループ（同図の斜線部分）の面積を減らせばよいが、ゲート抵抗器16をスイッチング素子の近くに配置する必要性から、この面積を減らすことは難しい。

【0014】この結果、変換装置の大容量化のためにスイッチング素子を並列接続しているにもかかわらず、利用できる容量は、スイッチングサージ電圧、電流のアンバランスと発生熱量等で最も実装条件が悪くなるスイッチング素子で決まる容量に下げて使わなければならない。

【0015】そこで、本発明の目的は、このような課題に鑑みてなされたもので、冷却フィン上に実装されたスイッチング素子等のゲート配線に対する主回路電流の影響を減らして、半導体装置の容量の低下を防ぐことのできる半導体スタックを提供することにある。

【0016】

【課題を解決するための手段】請求項1に記載の発明は、絶縁板を介して重ねられた正極側導体及び負極側導体と交流側導体の片側に、正極側導体及び負極側導体と交流側導体が接続される複数のスイッチング素子が配設され、正極側導体及び負極側導体と交流側導体の他側にスイッチング素子をゲート抵抗を介して駆動する駆動基板が設けられた半導体スタックにおいて、絶縁板の両端をスイッチング素子側に折曲し、この折曲部にゲート抵抗を実装したことを特徴とする。

【0017】また、請求項2に記載の発明は、絶縁板を介して重ねられた正極側導体及び負極側導体と交流側導体の片側に、正極側導体及び負極側導体と交流側導体が接続される複数のスイッチング素子が配設され、正極側導体及び負極側導体と交流側導体の他側にスイッチング素子をゲート抵抗を介して駆動する駆動基板が設けられた半導体スタックにおいて、絶縁板の両端を前記スイッチング素子側に折曲し、この折曲部にゲート抵抗を実装し、スイッチング素子の付属回路を形成したことを特徴とする。

【0018】

【作用】請求項1に記載の発明においては、スイッチング素子のゲートとゲート抵抗を接続する導体は短縮され、スイッチング素子を流れる主回路電流によって発生

した磁束によるゲート信号への影響は低減される。

【0019】また、請求項2に記載の発明においては、スイッチング素子のゲートとゲート抵抗を接続する導体は短縮され、スイッチング素子を流れる主回路電流によって発生した磁束によるゲート信号への影響は低減されるとともに、付属回路部品の実装密度が向上する。

【0020】

【実施例】以下、本発明の一実施例を図面を参照して説明する。但し、従来の技術と同一部分には、同一符号を付して説明を省略する。図2は、従来の技術において示した図7の半導体スタックに対応する左側面図で、図1は図2のA-A断面図で、同じく従来の技術で示した図6に対応する正面図である。また、図3は図1の部分拡大詳細図で、図4は、図2の部分拡大詳細図である。

【0021】図1、図2、図3及び図4において、従来の技術で示した図6、図7と異なる点は、一括積層導体の構成部分のスイッチング素子1、2に近い図7において左端の絶縁板27の上下端を延長し、スイッチング素子1、2のゲート端子に直接接続できるように折り曲げた絶縁板7を用いている。さらに、この絶縁板7の延長部分にゲート駆動基板11からのゲート配線14を接続する端子と、ゲートエミッタ側は並列接続間のスイッチング素子に並列に接続されるエミッタパターン19を絶縁板7の裏面に図3の破線に示すように配置し、ゲート側はエミッタパターン19と反対側の表面に平行させるようにゲートパターン20を配置し、かつ、各スイッチング素子のゲート抵抗器16がスイッチング素子のゲート端子に接続されるように実装されている。

【0022】したがって、ゲート回路の接続は、ゲートドライブ基板11のコネクタ13とゲート配線14を介して一括積層導体のゲート端子17に接続され、一括積層導体上の絶縁板上に形成された印刷回路によって、各スイッチング素子のゲート端子には、各々のゲート抵抗16を介してゲート信号が供給されることになる。

【0023】このようなスイッチング素子1、2の実装構造において、スイッチング素子間の主回路接続を半導体接続部のインダクタンス値を最小にし、スイッチング素子のサージ電圧を抑制することができ一括積層導体の絶縁板にゲート抵抗器16、ゲートパターン20、及びエミッタパターン19を実装し、ゲートパターン20とエミッタパターン19は絶縁板の裏表に重ねて配置することによって、主回路電流によって生じる磁束がゲート回路と鎖交する面積を減らし、スイッチング素子に流れる主回路電流で生じた磁束の影響を減らしてゲート電流の抑制を防ぎ、スイッチング素子間の電流の不均衡を防ぐことができる。

【0024】以上のような半導体スタックを構成することによって、主回路のサージ電圧を抑制することができる。一括積層導体を用いて、スイッチング素子のゲート信号の配線を両面パターンで構成できる構造としている

5

ため、主回路電流の磁束の影響を防ぐことができるゲート回路とすることができるとともに、一括積層導体をスイッチング素子に取り付けるだけで、主回路及びゲート回路の配線ができ、半導体スタックの組立作業時間も短縮し、実装密度が高く、小形で信頼性の高い半導体電力変換装置を提供することができる。

【0025】なお図1では、一括積層導体には、ゲートパターン及びゲート抵抗器を実装した例で示したが、これ以外にもスイッチング素子の保護のためにコレクタ・エミッタ間の電圧を検出する配線、素子の温度上昇値を検出する配線、素子の過電流を検出する配線及び付属の電気部品等を実装してもよく、一括積層導体上にコネクタを実装すれば、ゲート信号とスイッチング素子の保護検出信号を一括して取り扱うことができ、特に、組み立て作業時間が短縮され、高密度実装が可能となる。

【0026】また、一括積層導体には、上記の他に、スイッチング素子のゲート・エミッタ間の過電圧に対して保護可能な定電圧ダイオード、ノイズ対策用のコンデンサ及びフェライトコア等、更には、ゲート駆動回路を実装することも可能である。

【0027】

【発明の効果】以上、請求項1に記載の発明によれば、絶縁板を介して重ねられた正極側導体及び負極側導体と交流側導体の片側に、正極側導体及び負極側導体と交流側導体が接続される複数のスイッチング素子が配設され、正極側導体及び負極側導体と交流側導体の他側にスイッチング素子をゲート抵抗を介して駆動する駆動基板が設けられた半導体スタックにおいて、絶縁板の両端をスイッチング素子側に折曲し、この折曲部にゲート抵抗を実装することで、スイッチング素子のゲートとゲート抵抗を接続する導体を短縮し、スイッチング素子を通る主回路電流によって発生した磁束によるゲート信号への影響を低減させたので、スイッチング電流の不均衡による容量の低下を防ぐことのできる半導体スタックを得ることができる。 また、請求項2に記載の発明によれ

6

ば、絶縁板を介して重ねられた正極側導体及び負極側導体と交流側導体の片側に、正極側導体及び負極側導体と交流側導体が接続される複数のスイッチング素子が配設され、正極側導体及び負極側導体と交流側導体の他側にスイッチング素子をゲート抵抗を介して駆動する駆動基板が設けられた半導体スタックにおいて、絶縁板の両端を前記スイッチング素子側に折曲し、この折曲部にゲート抵抗を実装し、スイッチング素子の付属回路を形成することで、スイッチング素子のゲートとゲート抵抗を接続する導体を短縮し、スイッチング素子を通る主回路電流によって発生した磁束によるゲート信号への影響を低減させるとともに、付属回路部品の実装密度を向上させたので、スイッチング電流の不均衡による容量の低下を防ぐとともに、実装密度を上げ外形を小形化することのできる半導体スタックを得ることができる。

【図面の簡単な説明】

【図1】本発明の半導体スタックの一実施例を示す図で、図2のA-A断面図。

【図2】本発明の半導体スタックの一実施例を示す左側面図。

【図3】図1の部分拡大詳細図。

【図4】図2の部分拡大詳細図。

【図5】従来及び本発明の半導体スタックの接続図。

【図6】従来の半導体スタックの一例を示す図で、図7のB-B断面図。

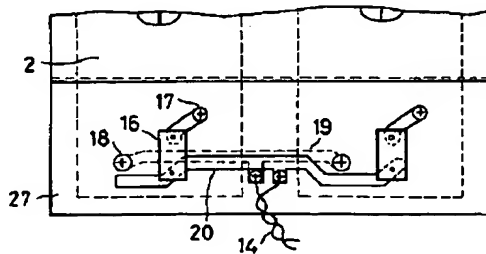
【図7】従来の半導体スタックの一例を示す左側面図

【図8】従来の半導体スタックの作用を示す部分説明図。

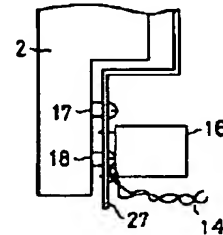
【符号の説明】

1、2…スイッチング素子、3…冷却フィン、4…正極側導体、5…負極側導体、6…交流側導体、7、27…絶縁板、8…正極側の端子、9…負極側の端子、10…交流側の端子、11…ゲート駆動基板、12…基盤取付板、13…コネクタ、14…ゲート配線、15…ゲート抵抗器、17…ゲート端子、18…ゲートエッタ端子。

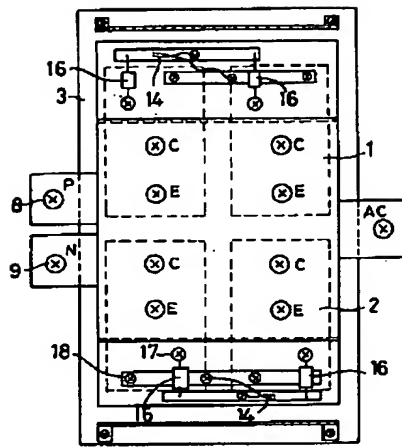
【図3】



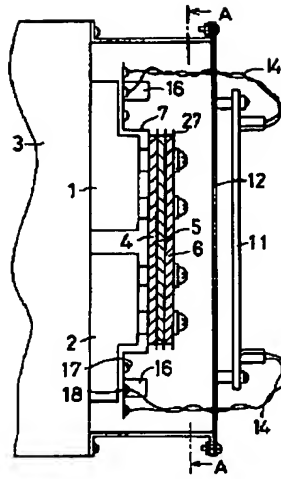
【図4】



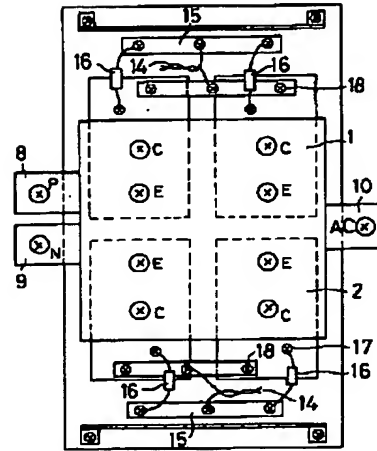
【図1】



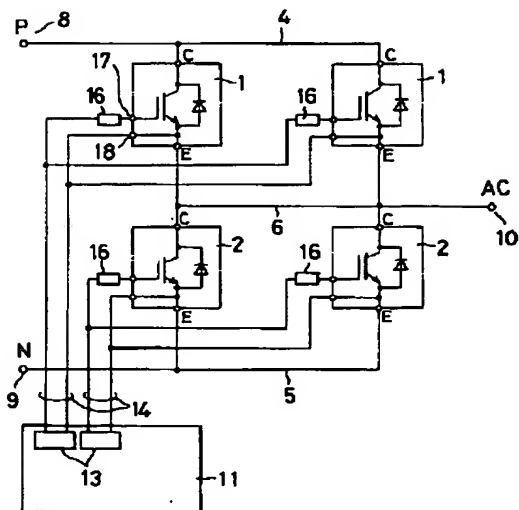
【図2】



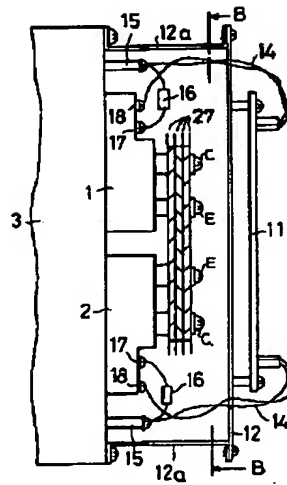
【図6】



【図5】



【図7】



【図8】

